

POSITIONING METHOD FOR MOUNTING ELECTRONIC DEVICE

Publication number: JP8032296 (A)

Publication date: 1996-02-02

Inventor(s): TAKENAKA HIRONORI; WAKIHARA YOSHINORI +

Applicant(s): IBIDEN CO LTD +

Classification:

- International: B23P21/00; H05K13/02; H05K13/04; H05K3/30; H05K3/34; B23P21/00; H05K13/02; H05K13/04; H05K3/30; H05K3/34; (IPC1-7): B23P21/00; H05K13/04

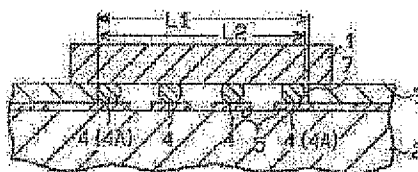
- European:

Application number: JP19940158819 19940711

Priority number(s): JP19940158819 19940711

Abstract of JP 8032296 (A)

PURPOSE: To obtain a method for positioning an electronic device simply and surely without requiring any expensive and intricate apparatus, e.g. an image recognition unit. **CONSTITUTION:** The positioning method at the time of mounting an electronic device comprises a first step for superposing a positioning mask 3 having an opening 7 at a position corresponding to the mounting area of a circuit board, i.e., a ceramic board 2, a second step for engaging an electronic device, i.e., a bare chip 1, having a plurality of solder bumps 4 on the bottom face into the opening 7 of the mask 3 from the top face side, a third step for holding the bare chip 1 by means of a tool, and a fourth step for drawing out the mask 3 from between the ceramic board 2 and the bare chip 1 and then thermocompressing the bare chip 1 using a tool.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32296

(43) 公開日 平成8年(1996)2月2日

| | | | | |
|---------------------------|---------|--------|-----|--------|
| (51) Int.Cl. ⁴ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 5 K 13/04 | P | | | |
| B 2 3 P 21/00 | 3 0 5 B | | | |

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平6-158819

(22) 出願日 平成6年(1994)7月11日

(71) 出願人 000000158

イビデン株式会社
岐阜県大垣市神田町2丁目1番地

(72) 発明者 竹中 裕紀

岐阜県揖斐郡揖斐川町北方1の1 イビデ
ン 株式会社大垣北工場内

(72) 発明者 脇原 義範

岐阜県揖斐郡揖斐川町北方1の1 イビデ
ン 株式会社大垣北工場内

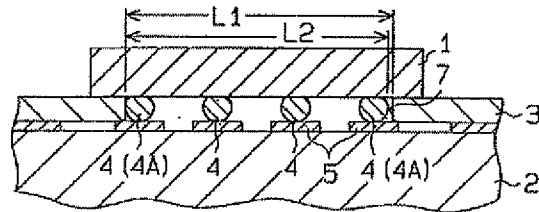
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 電子部品を実装する際の位置合わせ方法

(57) 【要約】

【目的】 画像認識装置等のような高価かつ複雑な装置を用いることなく、簡単にかつ確実に位置合わせができる電子部品の位置合わせ方法を提供する。

【構成】 第1の工程では、回路基板としてのセラミックス基板2上の実装エリアに対応する位置に開口部7が形成された位置合わせ用マスク3を重ね合わせる。第2の工程では、マスク3の開口部7に、底面に複数のはんだパンプ4を備える電子部品としてのベアチップ1を上表面側から係合させる。第3の工程では、ベアチップ1をツール10で保持する。第4の工程では、マスク3をセラミックス基板2とベアチップ1との間から引き抜く。この後、ツール10でベアチップ1を熱圧着する。



【特許請求の範囲】

【請求項1】回路基板上の実装エリアに対応する位置に開口部が形成された位置合わせ用マスクの前記開口部に、底面に複数の外部接続端子を備える電子部品を上面側から係合させる工程を有する電子部品を実装する際の位置合わせ方法。

【請求項2】前記電子部品の外部接続端子がバンパである場合、前記複数のバンパの側面と前記マスクの開口部の内壁面とを用いて位置合わせを行う請求項1に記載の電子部品を実装する際の位置合わせ方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、電子部品の位置合わせ方法に関するものである。より詳細には、本発明は、半導体チップを搭載してなる回路基板の底面に複数のバンパ等を備える半導体パッケージや、底面に同様のバンパ等を備える半導体チップ等を位置合わせする方法に関するものである。

【0002】

【従来技術】近年における電子機器の小型化や高性能化に伴って、半導体チップ（ベアチップ）等を搭載した半導体パッケージ等をマザーボードに対して表面実装することが多くなってきている。

【0003】この種の表面実装タイプのパッケージとしては、QFP（Quad flat gullwing-leaded package）等のように、リードフレームを利用した外部接続端子を持つものが現在の主流を占めている。しかしながら、半導体チップの高集積化とともに多ピン・狭ピッチ化が進むと、スタンピング等によって形成されるリードフレームではその要求に充分に対応することが困難になる。そこで、多ピン・狭ピッチ化に適したパッケージとして、回路基板の底面に多数のバンパを形成したBGA（Ball grid array）等が注目されている。

【0004】また、前記回路基板自身の上にベアチップを実装する方法についても同様の傾向がある。即ち、従来までのワイヤボンディングによる接続法に代えて、ベアチップ底面に形成されたバンパによる接続法（いわゆるフリップチップ）を採用したパッケージが増えてきている。

【0005】ところで、バンパによってBGAやベアチップを実装する場合、電子部品側のバンパと被実装物側の接続パッド等とをあらかじめ正確な位置に合わせておく必要がある。このときの位置合わせは、例えば実装装置に付帯して設けられている画像認識装置等によって行われる。

【0006】

【発明が解決しようとする課題】ところが、上記の位置合わせ方法を実施する場合、高価かつ複雑な画像認識装置を購入したり、同装置のための演算プログラムを作成したりすること等が必要になる。従って、低コスト化を

達成することが難しくなる。

【0007】また、画像認識による位置合わせ方法の場合、バンパや接続パッドに汚れや変形があると、位置合わせ精度が悪化したり位置合わせが不能になるおそれがある。さらに、電子部品ごとに位置合わせを行うこの方法の場合、1ボード中における実装部品点数が増えると、必然的にその分だけ実装に要する時間も長くなる。このような実装効率の低下は、全体の生産性の低下にもつながってしまう。

【0008】本発明は上記の課題を解決するためになされたものであり、その目的は、画像認識装置等のような高価かつ複雑な装置を用いることなく、簡単にかつ確実に位置合わせを行うことができる電子部品の位置合わせ方法を提供することにある。

【0009】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明では、回路基板上の実装エリアに対応する位置に開口部が形成された位置合わせ用マスクの前記開口部に、底面に複数の外部接続端子を備える電子部品を上面側から係合させる工程を有する電子部品を実装する際の位置合わせ方法をその要旨としている。

【0010】請求項2に記載の発明では、請求項1において、前記電子部品の外部接続端子がバンパである場合、前記複数のバンパの側面と前記マスクの開口部の内壁面とを用いて位置合わせを行うことをその要旨としている。

【0011】

【作用】請求項1に記載の発明によると、例えば第1の工程で回路基板の上面にマスクを重ね合わせると、実装エリア上に開口部が位置した状態となる。第2の工程で開口部に電子部品を係合すると、電子部品側の外部接続端子と回路基板側の外部接続端子との相対位置がほぼ一致した状態となる。第3の工程で電子部品をツールにより保持することによって、回路基板と電子部品との間の好適な相対位置関係が維持される。第4の工程で回路基板と電子部品との間からマスクを引き抜くと、両者が接続可能な状態となる。

【0012】あるいは、第1の工程で開口部に電子部品を係合した後、第2の工程で回路基板上にマスクを重ね合わせると、電子部品側の外部接続端子と回路基板側の外部接続端子との相対位置がほぼ一致した状態となる。第3の工程で電子部品をツールにより保持すると、回路基板と電子部品との間の好適な相対位置関係が維持される。第4の工程で回路基板と電子部品との間からマスクを引き抜くと、両者が接続可能な状態となる。

【0013】さらに、まず電子部品及び回路基板のうちの少なくともいずれかを回路基板の厚さ方向に移動させることによって、電子部品と回路基板とをいったん離間させる。このときでも電子部品はツールによって保持さ

れているため、電子部品と回路基板との間の好適な相対位置関係(詳細にはZ方向を除いたX、Y、 θ 方向の相対位置関係)は維持される。そして、役目を終えたマスクを電子部品と回路基板との間から引き抜く。この後、移動させていた電子部品及び前記回路基板のうちの少なくともいずれかを元の位置に復帰させる。すると、電子部品の外部接続端子と回路基板の外部接続端子とが当接し合った状態となり、各々の外部接続端子が接続可能になる。

【0014】請求項2に記載の発明によると、比較的正確な位置に形成されたバンプを基準とする位置合わせ方法であるため、位置合わせをするときの誤差がより小さくなる。さらに、位置合わせがなされた電子部品をツールによって保持したまま熱圧着が行われるため、位置ずれ等を起こすことなく電子部品を確実に回路基板上に実装することができる。

【0015】

【実施例】

〔実施例1〕以下、本発明を半導体パッケージ(いわゆるMCM: Multi-chip module)を構成するセラミックス基板上にベアチップを実装する方法に具体化した一実施例を図1～図7に基づき詳細に説明する。まず最初に、ベアチップ1、セラミックス基板2及び位置合わせ用マスク3の構成について簡単に説明する。

【0016】図3、図6に示されるように、電子部品としてのベアチップ1は、略正方形をしたシリコンウェハ(5.0mm角、厚さ約0.7mm)からなる。ベアチップ1の底面には、外部接続端子としての、球状をした多数のはんだバンプ4が規則的に形成されている。この実施例の場合、はんだバンプ4の高さは約70 μ m～80 μ mである。

【0017】図1、図6に示されるように、回路基板としてのセラミックス基板2の表面において複数の箇所には、ベアチップ1を取り付けるための実装エリアがR1が設けられている。この実施例では、3つの実装エリアR1が存在している。各々の実装エリアR1内には、外部接続端子としての接続パッド5が前記はんだバンプ4と同様に規則的に形成されている。セラミックス基板2の表面には、図示しない配線パターン等も形成されている。また、セラミックス基板2の4つのコーナー部のうちの2箇所には、位置合わせ用のマーク6がシルクスクリーン印刷されている。

【0018】図1、図3に示されるように、位置合わせ用マスク3は、セラミックス基板2の外形にほぼ等しい金属(例えばステンレス等)製の板材である。マスク3の厚さははんだバンプ4の高さとほぼ等しく設定されている。このマスク3は、略正方形をした開口部7を3つ備えている。各々の開口部7は、セラミックス基板2上の実装エリアR1に対応する位置に設けられている。

【0019】開口部7の寸法は、ベアチップ1の外形寸

法よりもひとまわり小さくなっている。その代わり図3に示されるように、開口部7の相対する内壁面の離間距離L1と、はんだバンプ4のうち最外列に位置するはんだバンプ4Aの側面の離間距離L2とがほぼ等しくなっている。また、マスク3の4つのコーナー部のうち2箇所には、断面円形状の貫通孔8が形成されている。

【0020】次に、前記マスク3による位置合わせ方法について順を追って説明する。第1の工程を行うにあたり、まず実装装置のテーブル(図示略)上にセラミックス基板2をあらかじめ確実に固定しておく。次に、2つのマーク6に向けて真上方向(セラミックス基板2の厚さ方向=Z方向)からスポット光9等を照射しながら、マスク3をセラミックス基板2の上方に移送する。そして、図1に示されるように、マスク3を微動させながら位置合わせを行い、位置が合った時点でマスク3をセラミックス基板2の上面に重ね合わせる。すると、各々の実装エリアR1上に各開口部7が位置した状態となり、かつその開口部7の中に接続パッド5が位置した状態となる。

【0021】第2の工程では、図2、図3に示されるように、作業等が開口部7に対してベアチップ1をマスク3の上面側から係合させる。このとき、図3に示されるように、ベアチップ1の底面周縁部がマスク3の開口部7の上面周縁部によって支持される。一方、ベアチップ1の底面のはんだバンプ4は、開口部7の上面周縁部によって支持されることなく、いずれも開口部7の内側に位置した状態となる。そして、最外列に位置するはんだバンプ4Aの側面と開口部7の内壁面とが互いに接する状態となり、はんだバンプ4と接続パッド5との相対位置がほぼ一致する。即ち、各接続パッド5の上面に対して、各はんだバンプ4の下面が接触した状態になる。

【0022】第3の工程では、図4に示されるように、実装装置のヘッド(図示略)に設けられたツール10を下降させ、そのツール10の有する図示しない真空吸着手段によってベアチップ1を確実に保持する。従って、セラミックス基板2とベアチップ1との間の好適な相対位置関係は依然として維持される。なお、この実施例の実装装置のヘッドには、上記のようなツール10が複数個設けられている。各ツール10は、個々のベアチップ1をほぼ同時に吸着する。

【0023】第4の工程では、図5、図6に示されるように、ベアチップ1を保持したツール10を上方向に移動させることによって、ベアチップ1とセラミックス基板2とをいったん離間させる。このときでもベアチップ1はツール10によって保持されているため、ベアチップ1とセラミックス基板2との間の好適な相対位置関係(詳細にはZ方向を除いたX、Y、 θ 方向の相対位置関係)は維持される。

【0024】ここで、役目を終えたマスク3をベアチップ1とセラミックス基板2との間から引き抜く。この

後、上方に移動させていたツール10を下降させることによって、ベアチップ1を元の位置に復帰させる。すると、図7に示されるように、はんだバンパ4と接続パッド5とが当接し合った状態となり、ベアチップ1とセラミックス基板2との位置合わせが終了する。

【0025】さらに、ベアチップ1を保持しているツール10にパルスヒートを加え、はんだバンパ4と接続パッド5とを熱圧着させる。以上のような手順を経て、セラミックス基板2に対するベアチップ1の実装が完了する。

【0026】さて、本実施例の位置合わせ方法は、基本的に位置合わせ用マスク3のみを必要とし画像処理を必要としないものである。このため、画像認識装置を購入したり、同装置のための演算プログラムを作成したりすること等も不要になる。従って、従来に比べて低コスト化を達成することができる。また、画像処理のときは異なり、はんだバンパ4や接続パッド5に多少の汚れや変形があっても、位置合わせ精度が悪化したり位置合わせが不能になることはない。つまり、この実施例の方法によると、高価かつ複雑な装置を用いることなく、簡単にかつ確実に位置合わせを行うことができるという利点がある。

【0027】特にこの位置合わせ方法では、比較的正確な位置に形成されたはんだバンパ4を基準として用いているため、位置合わせの誤差が極めて小さい。従って、簡単な方法であるにもかかわらず、精度のよい位置合わせが可能であるという利点がある。

【0028】また、一括して位置合わせが可能なこの方法によると、1ボード上に実装すべきベアチップ1の数や種類が増えたとしても、実装に要する時間がそれほど長くなることはない。よって、全体の生産性を低下させるおそれもない。

【0029】そして、この実施例の実装方法によると、位置合わせがなされたベアチップ1をツール10によって保持したままの状態を熱圧着が行われる。このため、ベアチップ1に位置ずれ等が生じることもなく、ベアチップ1を確実にセラミックス基板2上に実装することができる。

〔実施例2〕次に、本発明をマザーボードであるプリント配線板上にBGAを実装する方法に具体化した実施例2を図8～図13に基づき詳細に説明する。まず最初に、BGA11、プリント配線板12及び位置合わせ用マスク13の構成について簡単に説明する。

【0030】図8、図10に示されるように、電子部品としてのBGA11は、いわゆる一種の半導体搭載装置である。BGA11を構成するセラミックス基板14の上面には、ベアチップ15が搭載されている。ベアチップ15側とセラミックス基板14側とは、ボンディングワイヤ16を介して電気的に接続されている。ワイヤボンディングされたベアチップ15は、キャップ17によ

って封止されている。

【0031】BGA11の底面には、外部接続端子としての、球状をした多数のはんだバンパ4が規則的に形成されている。この実施例の場合、はんだバンパ4の高さは約 $70\mu\text{m}$ ～ $80\mu\text{m}$ である。

【0032】図9、図10に示されるように、回路基板としてのプリント配線板12の表面において複数の箇所には、BGA11を取り付けるための実装エリアがR1が設けられている。各々の実装エリアR1内には、外部接続端子としての接続パッド5が前記はんだバンパ4と同様に規則的に形成されている。

【0033】図8、図10に示されるように、位置合わせ用マスク13は、プリント配線板12の外形にはほぼ等しいステンレス製の板材からなる。このマスク13は、実施例1のマスク3と同様に、略正方形をした開口部18を3つ備えている。各々の開口部18は、プリント配線板12上の実装エリアR1に対応する位置に設けられている。

【0034】図10に示されるように、開口部18の内壁面には、全周にわたって段部18aが形成されている。開口部18の相対する内壁面上部の離間距離L3と、BGA11の一辺の長さL4とは、ほぼ等しくなっている。

【0035】なお、実施例1のときと同様に、プリント配線板12には位置合わせ用のマーク6がシルクスクリーン印刷されており、マスク13には貫通孔8が形成されている。

【0036】次に、前記マスク13による位置合わせ方法について順を追って説明する。第1の工程を行うにあたり、まず実装装置のテーブル（図示略）上にプリント配線板12をあらかじめ確実に固定しておく。

【0037】第1の工程では、図8、図10に示されるように、作業者等が開口部18に対してBGA11をマスク13の上面側から係合させる。このとき、BGA11の底面周縁部がマスク13の段部18a上面によって支持される。一方、BGA11の底面のはんだバンパ4は、段部18a上面によって支持されることなく、いずれも開口部18の内側に位置した状態となる。このとき、開口部18の内壁面上部とBGA11の側面とは互いに接した状態となる。

【0038】第2の工程では、図9、図10に示されるように、実施例1のときと同じくマーク6に向けてスポット光9等を照射しながらマスク13の位置合わせを行う。そして、位置が合った時点でマスク13をプリント配線板12の上面に重ね合わせる。すると、各々の実装エリアR1上に各開口部18が位置した状態となり、はんだバンパ4と接続パッド5との相対位置がほぼ一致する。即ち、各接続パッド5の上面に対して、各はんだバンパ4の下面が接触した状態になる。

【0039】第3の工程以降については、基本的に実施

例1のときと同様である。即ち、第3の工程では、図11に示されるように、下降させた複数のツール10で個々のBGA11を確実にかつほぼ同時に保持する。第4の工程では、図12に示されるように、ツール10を上方向に移動させることによって、BGA11とプリント配線板12とをいったん離間させる。ここで、役目を終えたマスク13を引き抜いた後、ツール10を下降させてBGA11を元の位置に復帰させる。すると、図13に示されるように、はんだバンパ4と接続パッド5とが当接し合った状態となり、BGA11とプリント配線板12との位置合わせが終了する。さらに、BGA11を保持しているツール10にパルスヒートを加え、はんだバンパ4と接続パッド5とを熱圧着させると、BGA11の実装が完了する。

【0040】以上述べたような実施例2の方法であっても、実施例1のときと同様の作用効果を奏する。即ち、基本的に位置合わせ用マスク13のみを必要とし画像処理を必要としない等の理由から、高価かつ複雑な装置を用いることなく、簡単にかつ確実に位置合わせを行うことができる。

【0041】特にこの実施例では、はんだバンパ4を基準とする位置合わせではなく、電子部品であるBGA11の側面を基準とする位置合わせを行っている。従って、仮にBGA11側にはんだバンパ4がなくても位置合わせができるという利点がある。

【0042】なお、本発明は上記実施例のみに限定されることはなく、例えば次のように変更することが可能である。

(1) 実施例2の位置合わせ方法は、BGA11側にはんだバンパ5がある場合ばかりでなく、プリント配線板12側にはんだバンパ5がある場合の位置合わせについても同様に可能である。

【0043】(2) 実施例1, 2のようなはんだバンパ4に代えて、例えば金等といった他の金属によるバンパにしてもよい。また、バンパの形状は必ずしも球形状に限られず、例えばストレートウォール状等にもできる。

【0044】(3) 第4の工程において、電子部品1, 11を保持するツール10側をZ方向に移動することに代え、回路基板2, 12を固定しているテーブル側をその反対方向に移動(下降)させることとしてもよい。勿論、ツール10及びテーブルの両方を移動させてもよい。

【0045】(4) 実施例1, 2において、回路基板2, 12上にマスク3, 13を重ね合わせる場合、その位置合わせを、例えば貫通孔8と位置合わせ用ピンとの係合によって行ってもよい。この方法であると、スポット光9を照射する必要がなくなるので、装置の構成をより簡略化することができる。

【0046】(5) 図14, 図15に示される別例の

ような位置合わせ用マスク19を用いた位置合わせ方法としてもよい。このマスク19は、実施例1にて説明したマスク3とほぼ同様の基本構成を有している。ただし、このマスク19の場合、開口部7の一部が切り欠かれている。従って、第3の工程において図14のようにベアチップ1を保持したまま、図15のようにマスク19を引き抜くことが可能である。このため、ベアチップ1の上下方向への移動を省略することができる。また、ツール10による熱圧着を行った後にマスク19を引き抜くことも可能である。

【0047】(6) 1ボード内に大きさや種類の異なる電子部品1, 11が実装される場合には、実装されるべき電子部品1, 11に応じて、マスク3, 13, 19の厚さを部分的に変更してもよい。また、1枚のマスク3, 13, 19において、例えば段部18aのある開口部18と段部18aのない開口部7とを混在させても勿論よい。

【0048】ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施例及び別例によって把握される技術的思想をその効果とともに以下に列挙する。

(1) 請求項1, 2において、マスクの開口部内壁面に段部を形成しておくとともに、電子部品の側面と開口部の内壁面上部とを用いて位置合わせを行う電子部品を実装する際の位置合わせ方法。この方法であると、電子部品側にバンパがなくても位置合わせができる。

【0049】(2) 請求項1, 2において、複数のツールを備えたヘッドを用いて一括して熱圧着を行うこと。この方法によると、短時間に効率よく実装でき、全体の生産性が向上する。

【0050】なお、本明細書中において使用した技術用語を次のように定義する。

「電子部品: 底面に複数の外部接続端子が形成された半導体チップをいうほか、例えば底面に複数の外部接続端子が形成されたBGAやバットジョイントPGA等のパッケージ及びMCM等の半導体搭載装置や、さらには底面に複数の外部接続端子が形成された表面実装タイプのコネクタ等の受動部品もいう。」

【0051】

【発明の効果】以上詳述したように、請求項1, 2に記載の発明によれば、上記のマスクによる位置合わせであるため、画像認識装置等のような高価かつ複雑な装置を用いることなく、簡単にかつ確実に電子部品の位置合わせを行うことができる。

【0052】請求項2に記載の発明によれば、バンパを基準として用いているため、精度のよい位置合わせを実現することができる。

【図面の簡単な説明】

【図1】 実施例1のベアチップの実装方法において、第1の工程を示す概略斜視図である。

【図2】 同じく、第2の工程を示す概略斜視図であ

る。

【図3】 同様に、第2の工程を示す要部拡大概略断面図である。

【図4】 同様に、第3の工程を示す概略斜視図である。

【図5】 同様に、第4の工程を示す概略斜視図である。

【図6】 同様に、第4の工程を示す要部拡大概略斜視図である。

【図7】 同様に、ベアチップを元の位置に復帰させた状態を示す概略斜視図である。

【図8】 実施例2のBGAの実装方法において、第1の工程を示す概略斜視図である。

【図9】 同様に、第2の工程を示す概略斜視図である。

【図10】 同様に、第2の工程を示す要部拡大概略断面図である。

【図11】 同様に、第3の工程を示す要部拡大概略断面図である。

【図12】 同様に、第4の工程を示す要部拡大概略断面図である。

【図13】 同様に、BGAを元の位置に復帰させた状態を示す概略斜視図である。

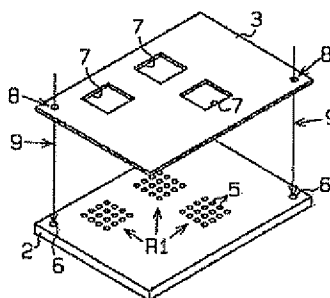
【図14】 別例のベアチップの実装方法において、第3の工程を示す概略斜視図である。

【図15】 同様に、第4の工程を示す概略斜視図である。

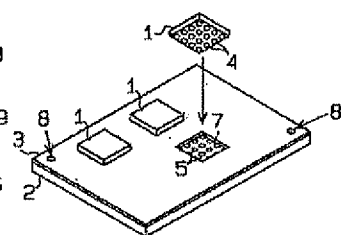
【符号の説明】

1…電子部品としてのベアチップ、11…電子部品としてのBGA、2…回路基板としてのセラミックス基板、12…回路基板としてのプリント配線板、3、13、19…（位置合わせ用）マスク、4…外部接続端子としてのはんだバンプ、5…外部接続端子としての接続パッド、7、18…開口部、R1…実装エリア。

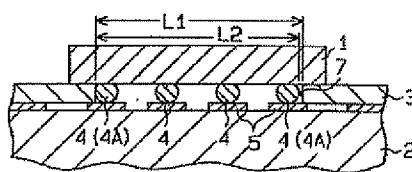
【図1】



【図2】

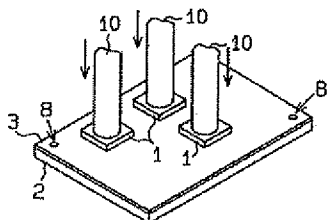


【図3】

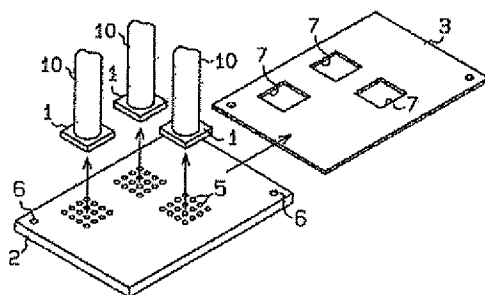


【図7】

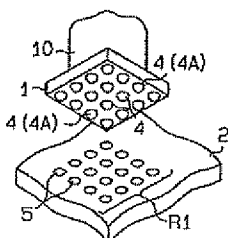
【図4】



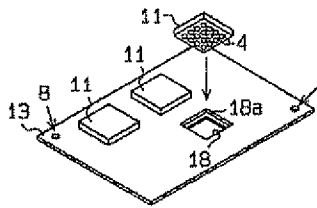
【図5】



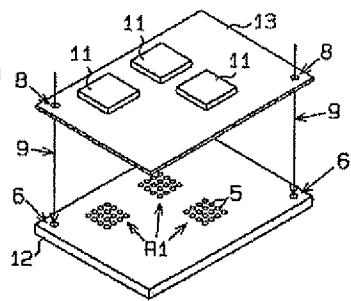
【図6】



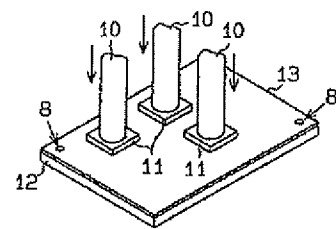
【図8】



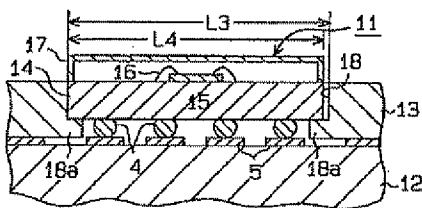
【図9】



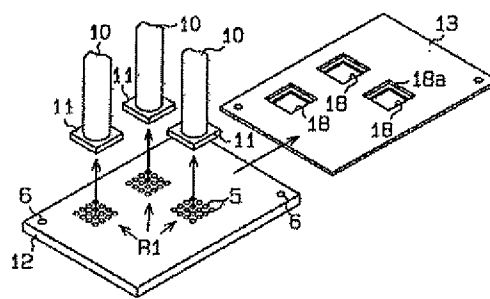
【図11】



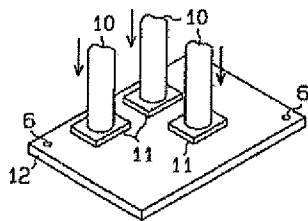
【図10】



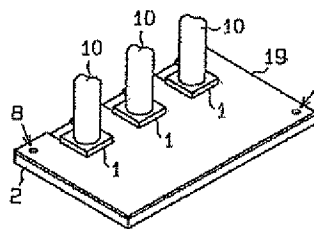
【図12】



【図13】



【図14】



【図15】

